

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-11641

(P2000-11641A)

(43) 公開日 平成12年1月14日(2000.1.14)

(51) Int.Cl.	識別記号	F I	ノート(参考)
G 1 1 C	11/401	G 1 1 C 11/34	3 7 1 K 5 B 0 1 5
	11/41		3 0 1 F 5 B 0 2 4
H 0 1 L	27/108	H 0 1 L 27/10	6 8 1 E 5 F 0 8 3
	21/8242		

審査請求 未請求 請求項の数 8 O L (全 11 頁)

(21) 出願番号 特願平10-177803

(22) 出願日 平成10年6月24日(1998.6.24)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(72) 発明者 鎔野 和久

東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内

(74) 代理人 100080001

弁理士 筒井 大和

最終頁に続く

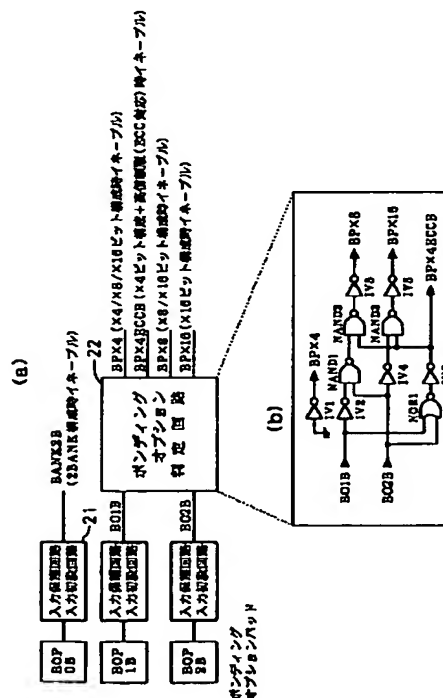
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 ボンディングオプション機能を用い、バンク構成およびビット構成の切り換えに加え、低消費電力版/高信頼版を用意し、ユーザに新しい選択枝を提供することができる半導体記憶装置を提供する。

【解決手段】 64Mb DRAMであって、メモリセルアレーおよびその周辺回路から構成され、3つのボンディングオプションパッドBOP0B、BOP1B、BOP2Bを有し、BOP0Bの入力をフローティング/VSSにすることでバンク構成の4バンク/2バンク切り換え、BOP1B、BOP2Bの入力をそれぞれフローティング/VSSにすることで、ビット構成の×4(高信頼版)/×4(低電力版)/×8/×16ビット切り換えが可能である。従って、合計8機能を1チップに有し、この切り換えはボンディングオプション機能を用いて可能となる。

図 6



【特許請求の範囲】

【請求項1】 ボンディングオプション機能を有する半
導体記憶装置であって、入力信号の電圧レベルが任意に
設定可能とされる複数のボンディングオプションパッド
と、これらの各ボンディングオプションパッドへの入力
信号を論理演算して、低電力対応構成および高信頼対応
構成の複数のボンディングオプション機能を切り換える
ための制御信号を発生する制御回路とを有し、前記ボン
ディングオプションパッドの入力信号の電圧レベルに対
応して前記制御回路により前記低電力対応構成または前
記高信頼対応構成を選択して設定することを特徴とする
半導体記憶装置。

【請求項2】 ボンディングオプション機能を有する半
導体記憶装置であって、入力信号の電圧レベルが任意に
設定可能とされる複数のボンディングオプションパッド
と、これらの各ボンディングオプションパッドへの入力
信号を論理演算して、バンク構成、入出力ビット構成、
低電力対応構成および高信頼対応構成の複数のボンディ
ングオプション機能を切り換えるための制御信号を発生
する制御回路とを有し、前記ボンディングオプションパ
ッドの入力信号の電圧レベルに対応して前記制御回路に
より前記バンク構成、前記入出力ビット構成、前記低電
力対応構成および前記高信頼対応構成の組み合わせを選
択して設定することを特徴とする半導体記憶装置。

【請求項3】 請求項1または2記載の半導体記憶装置
であって、前記低電力対応構成は、消費電力低減の要求
に対応し、特定のワード線およびカラム選択線が非動作
となった場合、無効となる入出力線は複数であることを
特徴とする半導体記憶装置。

【請求項4】 請求項1または2記載の半導体記憶装置
であって、前記高信頼対応構成は、信頼性向上の要求に
対応し、特定のワード線およびカラム選択線が非動作と
なった場合、無効となる入出力線は1つであることを特
徴とする半導体記憶装置。

【請求項5】 請求項2記載の半導体記憶装置であっ
て、前記バンク構成は、4バンクまたは2バンクに切り
換えることを特徴とする半導体記憶装置。

【請求項6】 請求項2記載の半導体記憶装置であっ
て、前記入出力ビット構成は、×4ビット、×8ビット
または×16ビットに切り換えることを特徴とする半導
体記憶装置。

【請求項7】 請求項2記載の半導体記憶装置であっ
て、前記低電力対応構成および前記高信頼対応構成は、
前記入出力ビット構成が×4ビットにおいて、前記低電
力対応構成または前記高信頼対応構成に切り換えること
を特徴とする半導体記憶装置。

【請求項8】 請求項1、2、3、4、5、6または7
記載の半導体記憶装置であって、前記半導体記憶装置は
DRAMであることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置に
関し、特に×4ビット構成時の半導体メモリにおいて、
近年のノート型パーソナルコンピュータに代表されるバ
ッテリー駆動システムなどに使用される場合には低電力対
応構成、いわゆる低電力版、大型/ワークステーション
などの消費電力よりも信頼性を要求されシステムに使用
される場合には高信頼対応構成、いわゆる高信頼版（E
CC対応版）をボンディングオプション機能により選択
可能とし、ユーザに新しい選択枝を提供することが可能
な半導体記憶装置に適用して有効な技術に関する。

【0002】

【従来の技術】たとえば、本発明者が検討した技術とし
て、近年の半導体分野では、顧客要求に対応したビット
構成などの多品種生産が定着し、これら顧客要求はさら
に強くなるものと考えられる。これは、半導体記憶装置
が使用される用途（システム）により半導体メモリ自身
に要求される機能/特性も異なるためである。このよう
な状況のなか、各社の対応として、複数の機能を1チッ
プに搭載し、その機能をボンディングオプションで変更
を行う手法が主流となってきている。

【0003】一例として、64MbシンクロナスDRA
Mにおいては、4バンク/2バンクのバンク構成の切り
換え、および×4ビット/×8ビットのビット構成の切
り換えをボンディングオプション機能を用い、1チップ
に合計4機能の半導体メモリを構成している。この場
合、ボンディングオプションパッドは2パッド必要であ
り、それぞれのパッド入力をフローティング/VSSに
することで各機能の半導体メモリを実現している。この
×4ビット構成時には高信頼版（ECC対応版）を提供
している。

【0004】なお、このような半導体記憶装置に関する
技術としては、たとえば1994年11月5日、株式会
社培風館発行の「アドバンスト エレクトロニクスⅠー
9 超LSIメモリ」などの文献に記載される技術など
が挙げられる。

【0005】

【発明が解決しようとする課題】ところで、前記のよう
な半導体記憶装置の技術では、顧客要求の多様化に伴う
対応の一貫として、半導体メモリが使用される用途（シ
ステム）により半導体メモリ自身に要求される特性も異
なることから、ノート型パーソナルコンピュータに代表
されるバッテリー駆動システムなどに使用される場合には
低電力版、大型/ワークステーションなどの消費電力より
も信頼性を要求されるシステムに使用される場合には
高信頼版が求められてきている。

【0006】そこで、本発明の目的は、ボンディングオ
プション機能を用い、4バンク/2バンクのバンク構成
の切り換え、および×4ビット/×8ビット/×16ビ
ットのビット構成の切り換えに加え、×4ビット構成時

の低消費電力版／高信頼版（ＥＣＣ対応版）を用意し、ユーザに新しい選択枝を提供することができる半導体記憶装置を提供するものである。

【０００７】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【０００８】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【０００９】すなわち、本発明による半導体記憶装置は、ボンディングオプション機能の多様化による１チップ搭載機能を追加するものであり、入力信号の電圧レベルが任意に設定可能とされる複数のボンディングオプションパッドと、各ボンディングオプションパッドへの入力信号を論理演算して、低電力版および高信頼版（ＥＣＣ対応版）のボンディングオプション機能を切り換えるための制御信号を発生する制御回路とを有し、ボンディングオプションパッドの入力信号の電圧レベルに対応して制御回路により低電力版または高信頼版を選択して設定するものである。

【００１０】また、本発明による半導体記憶装置は、低電力版および高信頼版の選択に加え、バンク構成、入出力ビット構成の組み合わせを選択して設定可能とするために、各ボンディングオプションパッドへの入力信号を論理演算して、バンク構成、入出力ビット構成、低電力版および高信頼版の複数のボンディングオプション機能を切り換えるための制御信号を発生する制御回路を有するものである。

【００１１】前記のような構成において、低電力版は、消費電力低減の要求に対応し、特定のワード線およびカラム選択線が非動作となった場合に無効となる入出力線は複数となる構成である。一方、高信頼版は、信頼性向上の要求に対応し、特定のワード線およびカラム選択線が非動作となった場合に無効となる入出力線は１つとなる構成である。

【００１２】また、バンク構成は４バンクまたは２バンク、入出力ビット構成は×４ビット、×８ビットまたは×１６ビットに切り換え、さらに入出力ビット構成が×４ビットにおいて、低電力版または高信頼版に切り換えるようにしたものである。特に、ＤＲＡＭなどに適用するようにしたものである。

【００１３】よって、前記半導体記憶装置によれば、バンク構成、入出力ビット構成、低電力版および高信頼版の組み合わせを選択して設定することができる。特に、×４ビット構成品の供給時に、使用される用途（システム）により低電力版／高信頼版（ＥＣＣ対応版）をボンディングオプション機能により提供することができる。たとえば、×４ビット構成の半導体メモリが、ノート型パーソナルコンピュータに代表されるバッテリー駆動シス

テムなどに使用される場合には低電力版を供給し、大型／ワークステーションなどの消費電力よりも信頼性を要求されるシステムに使用される場合には高信頼版を供給することができる。

【００１４】

【発明の実施の形態】以下、本発明の実施の形態を図面に基いて詳細に説明する。なお、実施の形態を説明するための全図において同一の部材には同一の符号を付し、その繰り返しの説明は省略する。

【００１５】図１は本発明の一実施の形態である半導体記憶装置を示す概略レイアウト図と部分拡大図、図２は本実施の形態、図３は比較技術の各半導体記憶装置において、アレー構成および読み出し／書き込み制御系回路を示す構成図と部分詳細図、図４は低電力版と高信頼版とを示す概略図、図５はアレー内の入出力割り付けを示す説明図、図６はボンディングオプション機能の制御回路を示す構成図と部分回路図、図７はボンディングオプション機能の一覧を示す説明図、図８は×４ビット構成の高信頼版／低電力版の切り換え時の書き込み回路系、図９は読み出し回路系をそれぞれ示す構成図である。

【００１６】まず、図１により本実施の形態の半導体記憶装置のレイアウト構成を説明する。図１（ａ）は半導体記憶装置の概略レイアウト図、図１（ｂ）は部分拡大図である。

【００１７】本実施の形態の半導体記憶装置は、たとえば６４ＭｂＤＲＡＭとされ、このメモリチップ１０には、メインローデコーダ領域１１、メインワードドライバ領域１２、カラムデコーダ領域１３、周辺回路／ボンディングパッド領域１４、メモリセルアレー領域１５、センスアンプ領域１６、サブワードドライバ領域１７、交差領域１８などが周知の半導体製造技術によって形成されて構成されている。

【００１８】この６４ＭｂＤＲＡＭにおいて、メモリセルアレー領域１５の基本のメモリセルアレーは、たとえば２５６ワード線（ＷＬ）×２５６ビット線対（ＢＬ対）としている。図１は、４分割にした４バンク構成例である。ワード線は長辺方向、ビット線は短辺方向に延びている。階層ワード線構成、多分割ビット線構成を用いて、全体で８ｋワード線×８ｋビット線対で６４Ｍビットを構成している。

【００１９】このメモリチップ１０において、長辺中央のメインローデコーダ領域１１、メインワードドライバ領域１２からサブワードドライバ領域１７のドライバを制御するためのメインワード線、アドレス線が左右に出力される。短辺中央は周辺回路／ボンディングパッド領域１４で、それとメモリセルアレー領域１５との間にカラムデコーダ領域１３が置かれる。カラムデコーダの出力であるカラム選択線はメモリセルアレー領域１５の上を通り抜けて多数のセンスアンプを制御する。

【００２０】図１（ｂ）の部分拡大図で示すように、メモ

リセルアレー領域15の左右両端には、サブワードドライバ領域17が配置され、上下両側にはセンスアンパ領域16が配置される。従って、メモリセルアレー領域15はセンスアンパ領域16とサブワードドライバ領域17に囲まれる。また、サブワードドライバ領域17とセンスアンパ領域16が交差する領域は交差領域18と呼ばれ、センスアンパドライバやI/Oスイッチ回路が設けられる。

【0021】次に、図2～図4を用いて、本発明のアレー構成および読み出し/書き込み制御系回路(図2)と、本発明に対応する比較技術のアレー構成および読み出し/書き込み制御系回路(図3)について説明する。図2(a)および図3(a)はそれぞれ、カラム選択線と入出力線との間の制御方式を示す部分詳細図、図4は本発明の低電力版と高信頼版とを示す概略図である。

【0022】図2および図3において、メモリセルアレー領域15にはメモリセルアレーMAT、センスアンパ領域16にはセンスアンパSA、サブワードドライバ領域17にはサブワードドライバSWD、カラムデコード領域13にはカラムデコーダYSDがそれぞれ配置されている。また、周辺回路/ボンディングパッド領域14には、メインアンパMA、メインアンパ制御回路MAC、書き込み制御回路WTCなどが設けられている。

【0023】図3に示す比較技術の構成では、カラム選択線YSを1本選択すると2ビットのデータがローカル入出力線LIOを経てメイン入出力線MIOに出力される。メイン入出力線MIOに出力された2ビットのデータは、それぞれメインアンパMAに入力されるが、メインアンパMAの1個につき、メインアンパ制御回路MACが1個ずつ配置されており、その制御はカラムアドレス信号AY80～AY83で制御されている。このため、×4ビット構成時にメインアンパMAは、1/4個の割合で合計4個のメインアンパMAと4個のメインアンパ制御回路MACを動作させる必要がある。

【0024】また、メインアンパ制御回路MACは、前記のようにカラムアドレス信号AY80～AY83で制御されているため、×4ビット構成時にはこのカラムアドレス信号AY80～AY83を振り分けることで、動作するメインアンパMAは分散されている。そのため、特定のサブワード線SWLおよびカラム選択線YSが非動作となった場合、無効となるメイン入出力線MIOは1本のみとなる構成である。これは、高信頼版(ECC対応版)の1YS-1IO方式である。

【0025】一方、図2に示す本発明のアレー構成では、カラム選択線YSを1本選択すると4ビットのデータがローカル入出力線LIOを経てメイン入出力線MIOに出力される。メイン入出力線MIOに出力された4ビットのデータは、それぞれメインアンパMAに入力されて増幅されるが、メインアンパ制御回路MACを共通化(1個/4個のメインアンパMA)することで、×4

ビット構成時には、4個のメインアンパMAと1個のメインアンパ制御回路MACを動作させるのみであり、比較技術の構成と比べると、メインアンパ制御回路MACの3個分の動作電流が低減できる。本来、メインアンパ制御回路MACを共通化した理由は、×16ビットに代表される多ビット構成時の消費電力の低減効果を大きくするためである。

【0026】また、本発明のアレー構成のように、カラム選択線YSが1本選択されると4ビットのデータが出力される構成にしたことで、カラム選択線YSを出力するカラムデコーダYSDが比較技術の構成と比べると、256YSブロック単位で8セットから4セットになり、4セット分減少する。このため、このカラムデコーダYSDに入力されるデコード信号の負荷も大幅に低減でき、動作電流の低減が可能である。

【0027】さらに、×4ビット構成時には、カラム選択線YSの1本で選択される4ビットのデータをそのままメイン入出力線MIOの出力データに使用することができる。この場合、特定のサブワード線SWLおよびカラム選択線YSが非動作となった場合、無効となるメイン入出力線MIOは4IOとなる構成である。

【0028】たとえば、読み出し制御の場合、図4(a)のように1本のカラム選択線YS0に関係する4本の入出力線IOからの信号をメインアンパMA0～MA3で増幅してデータDQ0を出力することができる。この時、他のカラム選択線YS1～YS3は無視される。同様に、書き込み制御の場合も、データDIN0を入力することができる。これは、低電力版の1YS-4IO方式である。

【0029】また、本発明のアレー構成においても、物理的接続は1YS-4IO方式であるが、カラム選択線YSの選択時にメインアンパMAへの接続経路を後述するボンディングオプション機能により変更できるので、前記比較技術のように、特定のサブワード線SWLおよびカラム選択線YSが非動作となった場合、無効となるメイン入出力線MIOは1IOのみとなる構成に見せかけることができる。

【0030】たとえば、読み出し制御の場合、図4(b)のようにカラム選択線YS0～YS3のうち、それぞれ1本の入出力線IOからの信号をメインアンパMA0～MA3で増幅してデータDQ0～DQ3を出力することができる。この時、他の入出力線IOは無視される。同様に、書き込み制御の場合も、データDIN0～DIN3を入力することができる。これは、高信頼版(ECC対応版)の1YS-1IO方式である。

【0031】次に、図5を用いて、アレー内の入出力割り付けについて説明する。図5(a)は、図1に示すメモリチップ10を概略的に示したもので、メモリセルアレー領域15、センスアンパ領域16、サブワードドライバ領域17などからなる4つのバンクBANK0～BA

NK3が配置されている。この構成においては、アドレス信号ADDのパッドがバンクBANK0、BANK1側、データ信号DQのパッドがバンクBANK2、BANK3側に設けられている。また、図5(b)は、バンクBANK0の部分を詳細に示す概略図である。

【0032】図5(b)に示すように、アレー内の入出力割り付けは、 $\times 4$ ビット構成時に高信頼版(ECC対応版)/低電力版の両方を取り入れる。後述するように、この切り換えはボンディングオプション機能で切り換え可能である。さらに、本実施の形態においては、前記のボンディングオプション機能の切り換えのみではなく、バンク構成は4バンク/2バンク、ビット構成は $\times 4$ ビット/ $\times 8$ ビット/ $\times 16$ ビットとボンディングオプション機能により切り換え可能である。

【0033】すなわち、図5(b)のように、 $\times 16$ ビット構成時には、4つのカラムデコーダYSDに関してパッド0～Fを割り付ける。 $\times 8$ ビット構成時には、2つずつのカラムデコーダYSDに関してパッド0～8を割り付ける。さらに、 $\times 4$ ビット、かつ低電力版の構成時には、1つずつのカラムデコーダYSDに関して、アドレス信号AY80、AY81、AY82、AY83のそれぞれに対して異なるパッド0～4を割り付ける。一方、 $\times 4$ ビット、かつ高信頼版(ECC対応版)の構成時には、1つずつのカラムデコーダYSDに関して、アドレス信号AY80～AY83のそれぞれに対して共通のパッド0、1、2、3を割り付ける。

【0034】次に、図6を用いて、ボンディングオプション機能の制御回路について説明する。このボンディングオプション機能は、ボンディングオプションパッドを3パッド(BOP0B、BOP1B、BOP2B)有し、パッドBOP0Bの入力をフローティング/VSSにすることでバンク構成の4バンク/2バンク切り換え、パッドBOP1B、BOP2Bの入力をそれぞれフローティング/VSSにすることで、ビット構成の $\times 4$ (高信頼版)/ $\times 4$ (低電力版)/ $\times 8$ / $\times 16$ ビット切り換えが可能である。従って、合計8機能を1チップに有し、この切り換えはボンディングオプション機能を用いて可能となる。

【0035】すなわち、図6(a)に示すように、ボンディングオプション機能の制御回路は、ボンディングオプションパッドBP0B～BP2Bへの入力信号を論理演算して、複数のボンディングオプション機能を切り換えるための制御信号を発生する、入力保護回路/入力初段回路21を介したボンディングオプション判定回路22などから構成され、バンク構成、入出力ビット構成、低電力構成および高信頼構成の組み合わせが選択される。

【0036】ボンディングオプション判定回路22は、図6(b)に示すように、インバータIV1～IV6、否定論理積ゲートNAND1～NAND3、否定論理和ゲ

ートNOR1から構成されている。この構成において、ボンディングオプションパッドBP0B～BP2B、入力保護回路/入力初段回路21を介した信号BO1B、BO2Bを入力として、 $\times 4$ / $\times 8$ / $\times 16$ ビット構成時にイネーブルとなる制御信号BPX4、 $\times 4$ ビット構成+高信頼版(ECC対応版)時にイネーブルとなる制御信号BPX4ECC、 $\times 8$ / $\times 16$ ビット構成時にイネーブルとなる制御信号BPX8、 $\times 16$ ビット構成時にイネーブルとなる制御信号BPX16が発生される。また、2バンク構成時にイネーブルとなる制御信号BANK2Bは、直接、入力保護回路/入力初段回路21を介して出力される。

【0037】以上のように構成される制御回路において、ボンディングオプション機能は図7に示すような関係となる。たとえば、パッドBOP0B=フローティング、パッドBOP1B=VSS、パッドBOP2B=フローティングの状態にすることにより、制御信号BPX4=High、BPX8=Low、BPX16=Low、BPX4ECCB=Highとなり、4バンク/ $\times 4$ ビット/低電力版の構成が得られる。また、4バンク/ $\times 4$ ビット/高信頼版の構成にしたい場合には、パッドBOP0B=フローティング、パッドBOP1B=VSS、パッドBOP2B=VSSにして、制御信号BPX4=High、BPX8=Low、BPX16=Low、BPX4ECCB=Lowhにすることにより可能となる。他のボンディングオプション機能は図7の通りである。

【0038】次に、図8および図9を用いて、 $\times 4$ ビット構成の高信頼版/低電力版の切り換え時の回路方式について説明する。図8は書き込み回路系を示し、(a)は書き込みデータ選択回路および書き込み選択回路からなる書き込みデータ入力回路(DIN回路)、(b)はカラムアドレス選択回路、書き込み制御回路および書き込み回路からなる書き込み制御回路である。図9は読み出し回路系を示し、(a)はカラムアドレス選択回路、読み出し制御回路およびメインアンプ制御回路からなるメインアンプ制御回路、(b)は読み出しデータ選択回路、CASレイテンシ制御回路および出力バッファ回路からなる読み出しデータ出力制御回路である。

【0039】図8および図9に示すように、大別すると、書き込みデータ入力回路、書き込み制御回路、メインアンプ制御回路、および読み出しデータ出力制御回路の4箇所の回路工夫により実現している。方式としては、ボンディングオプション判定回路で発生する $\times 4$ ビット構成時の制御信号BPX4ECCBを用い、書き込みデータ入力回路では書き込みデータを選択し、書き込み制御回路およびメインアンプ制御回路ではカラムアドレス信号(AY80系アドレス)を選択し、読み出しデータ出力制御回路では読み出しデータを選択する方式を用い、 $\times 4$ ビット構成時のアレー内入出力割り付けの変

更を行い、高信頼版/低電力版の切り換えを実現する。

【0040】たとえば、書き込みデータ入力回路は、書き込みデータ選択回路に入力される書き込みデータDATA0, DATA1から、制御信号BPX4ECCBを用いて一方のデータDATAを選択し、書き込み選択回路を介して書き込みデータDINJBとして出力する。書き込み制御回路は、カラムアドレス選択回路に入力されるカラムデコード信号AY80P, AY80Pから、制御信号BPX4ECCBを用いて一方のカラムデコード信号AY80を選択し、書き込み制御回路を介して、

メイン入出力線MIOT/Bに接続される書き込み回路に出力する。

【0041】また、メインアンパ制御回路は、カラムアドレス選択回路に入力されるカラムデコード信号AY80P、内部電源信号VPERIから、制御信号BPX4ECCBを用いてカラムデコード信号AY80を選択し、読み出し制御回路を介して、メイン入出力線MIOT/Bに接続されるメインアンパ回路に出力し、さらに読み出しデータMOJBとして出力する。読み出しデータ出力制御回路は、読み出しデータ選択回路に入力される読み出しデータMO0B, MO1Bから、制御信号BPX4ECCBを用いて一方の読み出しデータMOCJTを選択し、CASレイテンシ制御回路、出力バッファ回路を介して読み出しデータDQJとして出力する。

【0042】以上のようにして、書き込みデータ入力回路、書き込み制御回路、メインアンパ制御回路、および読み出しデータ出力制御回路の回路工夫により、特に×4ビット構成時のアレー内入出力割り付けの変更を行い、高信頼版/低電力版の切り換えを実現することができる。

【0043】従って、本実施の形態の半導体記憶装置によれば、ボンディングオプションパッドBOP0B～BOP2B、ボンディングオプション判定回路22などから構成されるボンディングオプション機能の制御回路を有することにより、4バンク/2バンクのバンク構成、×4ビット/×8ビット/×16ビットの入出力ビット構成、低電力版および高信頼版の組み合わせを選択して、8機能の中から任意に設定することができる。

【0044】特に、×4ビット構成品の供給時には、低電力版/高信頼版(ECC対応版)をボンディングオプション機能により提供でき、ノート型パーソナルコンピュータに代表されるバッテリー駆動システムなどに使用される場合には低電力版を供給し、大型/ワークステーションなどの消費電力よりも信頼性を要求されるシステムに使用される場合には高信頼版を供給することができる。

【0045】以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもな

い。

【0046】たとえば、前記実施の形態においては、4バンク/2バンクのバンク構成、×4ビット/×8ビット/×16ビットの入出力ビット構成、低電力版および高信頼版の組み合わせを選択する場合について説明したが、これに限定されるものではなく、8バンクなどの他のバンク構成、他の入出力ビット構成などとの組み合わせを選択可能とする場合についても適用可能である。

【0047】また、×4ビット構成時の低電力版/高信頼版の選択の他に、×8ビット構成時、×16ビット構成時についても低電力版/高信頼版の選択を可能とすることができる。

【0048】さらに、64MbDRAMに適用した場合について説明したが、128Mb、256Mbなどの大容量のDRAM、さらにシンクロナスDRAMなどについても広く適用可能であり、このように大容量の構成とすることにより本発明の効果はますます大きくなる。

【0049】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0050】(1).複数のボンディングオプションパッドと、低電力版および高信頼版を切り換えるための制御信号を発生する制御回路とを有することで、ボンディングオプションパッドの入力信号の電圧レベルに対応して制御回路により所望の制御信号を発生することができるので、低電力版または高信頼版を任意に選択して設定することが可能となる。

【0051】(2).バンク構成、入出力ビット構成、低電力版および高信頼版を切り換えるための制御信号を発生する制御回路を有する場合には、バンク構成、入出力ビット構成、低電力版および高信頼版の組み合わせを任意に選択して設定することが可能となる。

【0052】(3).複数種のバンク構成、複数種の入出力ビット構成とする場合には、バンク構成と入出力ビット構成と低電力版または高信頼版との組み合わせを多様化することが可能となる。

【0053】(4).前記(1)～(3)により、使用される用途(システム)に対応してボンディングオプション機能を提供することができ、特に×4ビット構成品の供給時に低電力版/高信頼版(ECC対応版)をボンディングオプション機能により提供することが可能となる。

【0054】(5).前記(1)～(3)により、ボンディングオプション機能の活用による1チップに搭載可能な機能の多様化が可能となる。

【図面の簡単な説明】

【図1】(a), (b)は本発明の一実施の形態である半導体記憶装置を示す概略レイアウト図と部分拡大図である。

【図2】(a), (b)は本発明の一実施の形態の半導体記憶装置において、アレー構成および読み出し/書き込み制

11

御系回路を示す構成図と部分詳細図である。

【図3】(a),(b)は本発明の一実施の形態に対応する比較技術の半導体記憶装置において、アレー構成および読み出し／書き込み制御系回路を示す構成図と部分詳細図である。

【図4】(a),(b)は本発明の一実施の形態において、低電力版と高信頼版とを示す概略図である。

【図5】(a),(b)は本発明の一実施の形態において、アレー内の入出力割り付けを示す説明図である。

【図6】(a),(b)は本発明の一実施の形態において、ボンディングオプション機能の制御回路を示す構成図と部分回路図である。

【図7】本発明の一実施の形態において、ボンディングオプション機能の一覧を示す説明図である。

【図8】(a),(b)は本発明の一実施の形態において、×4ビット構成の高信頼版／低電力版の切り換え時の書き込み回路系を示す構成図である。

【図9】(a),(b)は本発明の一実施の形態において、×4ビット構成の高信頼版／低電力版の切り換え時の読み出し回路系を示す構成図である。

【符号の説明】

10 メモリチップ

11 メインローデコーダ領域

12 メインワードドライバ領域

13 カラムデコーダ領域

12

14 周辺回路／ボンディングパッド領域

15 メモリセルアレー領域

16 センスアンプ領域

17 サブワードドライバ領域

18 交差領域

21 入力保護回路／入力初段回路

22 ボンディングオプション判定回路

MAT メモリセルアレー

SA センスアンプ

10 SWD サブワードドライバ

YSD カラムデコーダ

MA メインアンプ

MAC メインアンプ制御回路

WTC 書き込み制御回路

YS カラム選択線

LIO ローカル入出力線

MIO メイン入出力線

SWL サブワード線

BANK0～BANK3 バンク

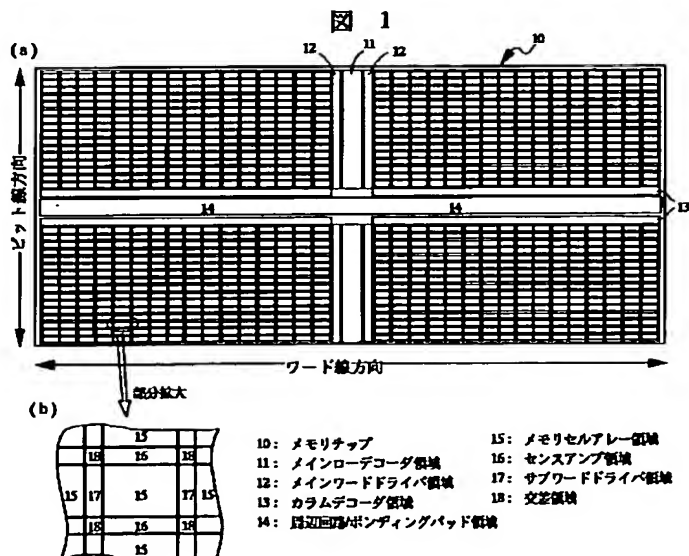
20 BOP0B～BOP2B ボンディングオプションパッド

IV1～IV6 インバータ

NAND1～NAND3 否定論理積ゲート

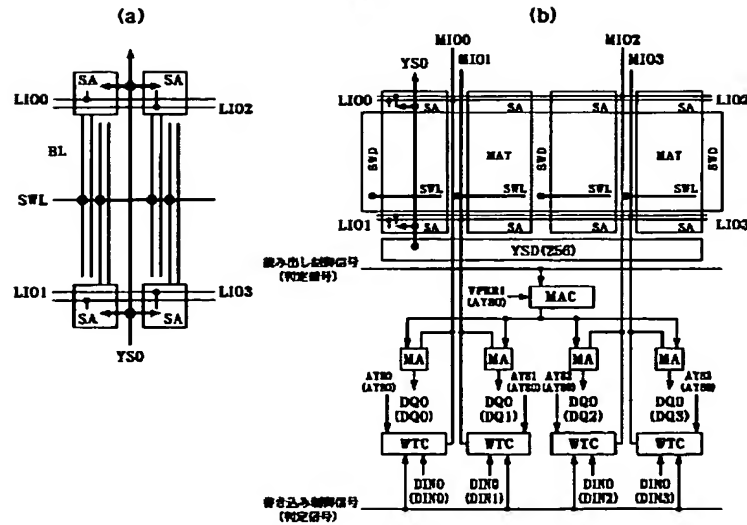
NOR1 否定論理和ゲート

【図1】



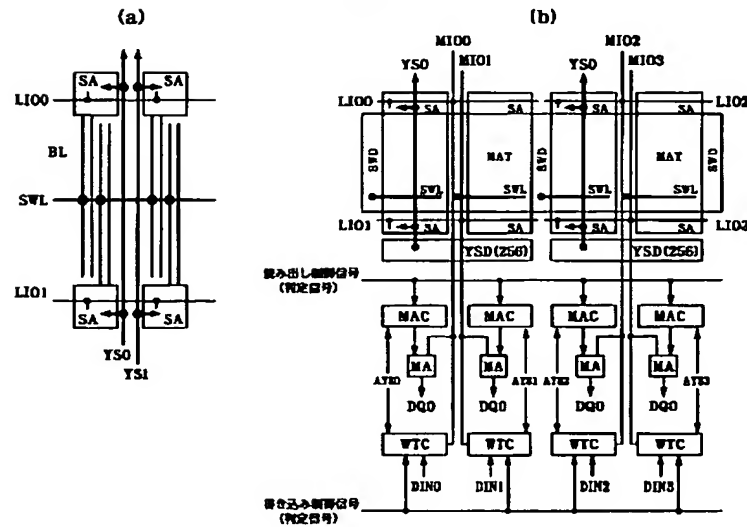
【図2】

図2



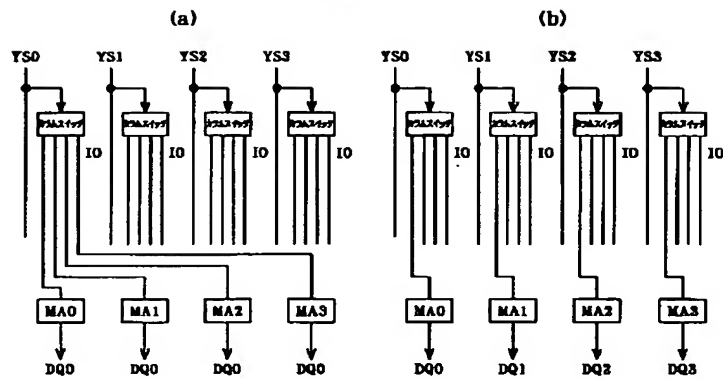
【図3】

図3



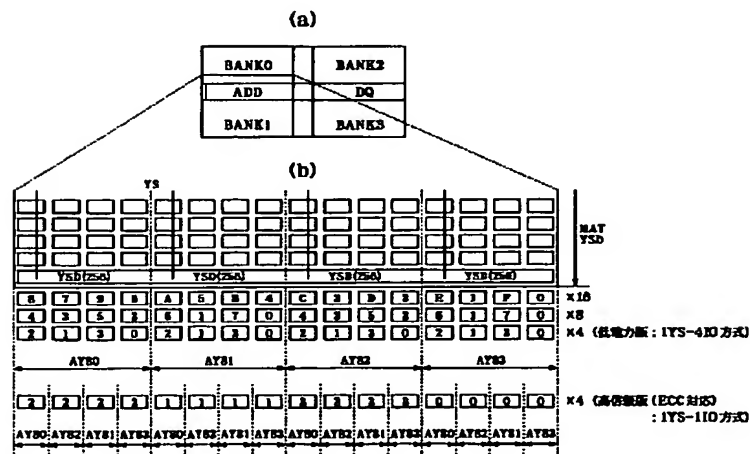
【図4】

図4



【図5】

図5



【図7】

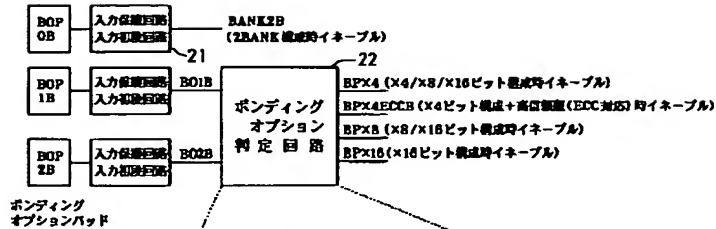
図7

バット入力			機能	BPX4	BPX8	BPX16	BPX4ECCB
BOP08	BOP16	BOP2B					
70-タイミング	VSS	70-タイミング	4Bank/X4(低電力版)	High	Low	Low	High
70-タイミング	70-タイミング	70-タイミング	4Bank/X8	↑	High	↑	↑
70-タイミング	VSS	VSS	4Bank/X4(高信頼版)	↑	Low	↑	Low
70-タイミング	70-タイミング	VSS	4Bank/X16	↑	High	High	High
VSS	VSS	70-タイミング	2Bank/X4(低電力版)	↑	Low	Low	↑
VSS	70-タイミング	70-タイミング	2Bank/X8	↑	High	↑	↑
VSS	VSS	VSS	2Bank/X4(高信頼版)	↑	Low	↑	Low
VSS	70-タイミング	VSS	2Bank/X16	↑	High	High	High

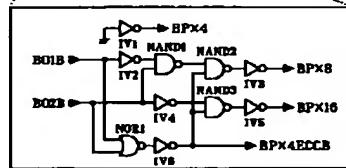
【図6】

図 6

(a)



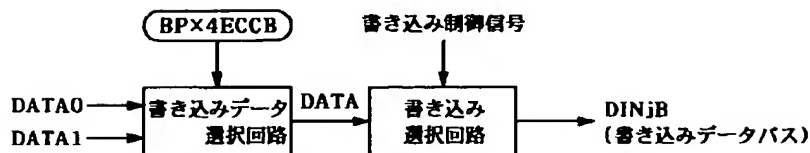
(b)



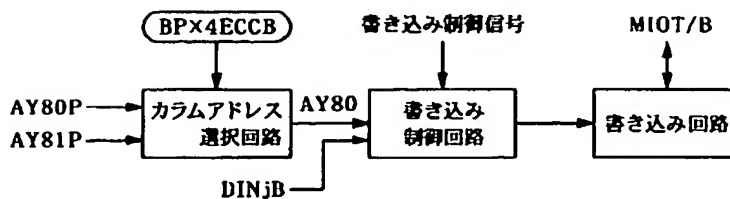
【図8】

図 8

(a)



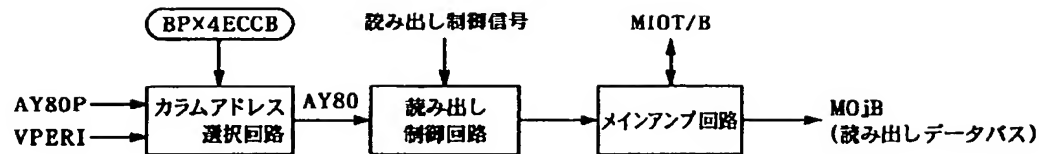
(b)



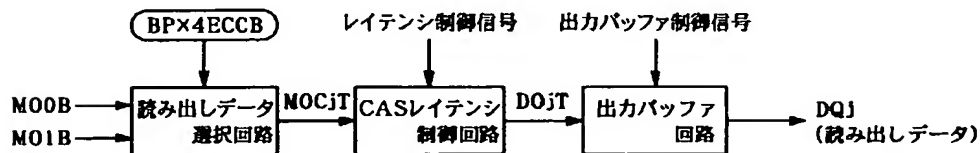
【図9】

図 9

(a)



(b)



フロントページの続き

(72)発明者 井上 吉彦

東京都小平市上水本町5丁目22番1号 株
 式会社日立超エル・エス・アイ・システム
 ズ内

(72)発明者 桑原 正史

東京都小平市上水本町五丁目20番1号 株
 式会社日立製作所半導体事業部内

(72)発明者 三島 通宏

東京都小平市上水本町五丁目20番1号 株
 式会社日立製作所半導体事業部内

Fターム(参考) 5B015 AA00 AA01 BA01 BA62 BA64

BA65 FA01 FA07 FA10 GA01

5B024 AA01 AA15 BA18 BA21 BA25

CA07 CA16 CA21

5F083 AD00 BS00 GA05 LA30 ZA29

**HPS Trailer Page
for**

EAST

UserID: GLee_Job_1_of_1

Printer: cp3_3b15_gbglptr

Summary

<u>Document</u>	<u>Pages</u>	<u>Printed</u>	<u>Missed</u>	<u>Copies</u>
JP2000011641A	11	11	0	1
Total (1)	11	11	0	-